

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-157781

(43)Date of publication of application : 05.07.1991

(51)Int.Cl.

G06F 15/60
G06F 11/26

(21)Application number : 01-299117

(71)Applicant : NEC CORP
HOKURIKU NIPPON DENKI SOFTWARE KK

(22)Date of filing : 16.11.1989

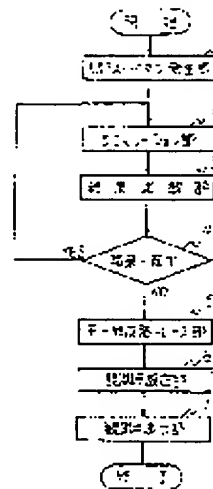
(72)Inventor : SAGA KOJI
SUGANAMI KAZUYUKI

(54) LOGIC CIRCUIT VERIFYING SYSTEM

(57)Abstract:

PURPOSE: To constitute the system so that a user can specify easily in which circuit part the cause of a discrepancy exists by providing an observation point on the circuit part of a discrepancy to which a trace is executed by a discrepancy circuit trace part and displaying it.

CONSTITUTION: By a discrepancy circuit trace part 5, a trace is executed extending from a comparison point in which a discrepancy appears by comparison by a result comparing part 3 to a comparison point being coincident by tracing back to a circuit description for exerting the influence on its signal value. Subsequently, by an observation point setting part 6, an observation point in which a signal can be observed is set with respect to both circuit descriptions to a circuit of a discrepancy to which a trace is executed by the discrepancy circuit trace part 5. Subsequently, by an observation point display part 7, which regard to a signal value of each observation point set by the observation point setting part 6 and its timing, each of both results of simulation is displayed for a user. In such a way, in which circuit part the cause of a discrepancy exists can be found easily by a user.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 平3-157781

⑤Int. Cl.⁵G 06 F 15/60
11/26

識別記号

3 6 0 D
3 1 0

庁内整理番号

8125-5B
7343-5B

④公開 平成3年(1991)7月5日

審査請求 未請求 請求項の数 1 (全4頁)

⑭発明の名称 論理回路検証方式

⑰特 願 平1-299117

⑱出 願 平1(1989)11月16日

⑲発明者 嵯峨 幸治 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲発明者 菅波 和幸 石川県石川郡鶴来町安養寺1番地 北陸日本電気ソフトウェア株式会社内
 ⑲出願人 日本電気株式会社 東京都港区芝5丁目7番1号
 ⑲出願人 北陸日本電気ソフトウェア株式会社 石川県石川郡鶴来町安養寺1番地
 ⑲代理人 弁理士 内原 晋

明 細 書

発明の名称

論理回路検証方式

特許請求の範囲

- (A) 検証を行うための入力テストパターンを発生する入力テストパターン発生部、
- (B) 同一の論理回路を2つの異なる方法で表現した回路記述について、同一の前記入力テストパターンをそれぞれに与えた場合に対する回路動作のシミュレーションを行うシミュレーション部、
- (C) 両方の前記シミュレーションの結果により、あらかじめ定めた比較点(出力端子を含む)に得られた信号値を比較する結果比較部、
- (D) 前記結果比較部の比較で不一致が現れた比較点から、その信号値に影響を与える回路記述に遡って、一致していた比較点に至るまで

のトレースを行う不一致回路トレース部、

(E) 前記不一致回路トレース部でトレースを行った不一致の回路部分に対する両方の回路記述に対して、信号を観測できる観測点を設定する観測点設定部、

(F) 前記観測点設定部で設定した観測点の信号値およびそのタイミングについて、両方の前記シミュレーションの結果のそれぞれを表示する観測点表示部、

を備えることを特徴とする論理回路検証方式。

発明の詳細な説明

〔産業上の利用分野〕

本発明は論理回路検証方式に関し、特に同一の論理回路の2つの回路記述に、同一のテストパターンを与えて、それらのシミュレーション動作の結果を比較することにより、不一致の発生した回路部分のエラー解析を行う論理回路検証方式に関する。

〔従来の技術〕

同一の論理回路の2つの回路記述に、同一のテストパターンを与えて、それらのシミュレーション動作の結果を比較することにより、不一致の発生した回路部分のエラー解析を行う従来の論理回路検証方式は、あらかじめ定めた比較点および出力端子に得られた信号値を比較して、不一致が現れた比較点および出力端子に得られた信号値およびそのタイミングを表示している。

〔発明が解決しようとする課題〕

上述した従来の論理回路検証方式は、表示により、不一致が現れた比較点および出力端子に得られた信号値およびそのタイミングを知ることができるけれども、その不一致の原因がどの回路部分にあるのかを特定することが困難であるという欠点を有している。

本発明の目的は、不一致が現れた比較点から、その信号値に影響を与える回路記述に遡って、一致していた比較点に至るまでのトレースを行うとともに、トレースを行った不一致の回路部分に観測点を設けて表示することにより、不一致の原因

がどの回路部分にあるのかを使用者が容易に知ることができる論理回路検証方式を提供することにある。

〔課題を解決するための手段〕

本発明の論理回路検証方式は、

- (A) 検証を行うための入力テストパターンを発生する入力テストパターン発生部、
- (B) 同一の論理回路を2つの異なる方法で表現した回路記述について、同一の前記入力テストパターンをそれぞれに与えた場合に対する回路動作のシミュレーションを行うシミュレーション部、
- (C) 両方の前記シミュレーションの結果により、あらかじめ定めた比較点(出力端子を含む)に得られた信号値を比較する結果比較部、
- (D) 前記結果比較部の比較で不一致が現れた比較点から、その信号値に影響を与える回路記述に遡って、一致していた比較点に至るまでのトレースを行う不一致回路トレース部、

(E) 前記不一致回路トレース部でトレースを行った不一致の回路部分に対する両方の回路記述に対して、信号を観測できる観測点を設定する観測点設定部、

(F) 前記観測点設定部で設定した観測点の信号値およびそのタイミングについて、両方の前記シミュレーションの結果のそれぞれを表示する観測点表示部、

を備えて構成されている。

〔実施例〕

次に本発明の実施例について図面を参照して説明する。

第1図は本発明の論理回路検証方式の一実施例を示す流れ図である。

本実施例の論理回路検証方式は、第1図に示すように、まず、入力テストパターン発生部1で、検証を行うための入力テストパターンを発生している。

次に、シミュレーション部2で、同一の論理回路を2つの異なる方法で表現した回路記述につい

て、入力テストパターン発生部1で発生した同一の入力テストパターンを、それぞれに与えた場合に対する回路動作のシミュレーションを行っている。

第2図は検証する論理回路を第1の方法で表現した回路記述の一例を示す回路記述図である。

第2図は、入力信号IN1、IN2、IN3、IN4、IN5、IN6が与えられ、論理積回路A、B、C、Fにより動作して、出力信号OUT1、OUT2を得る論理回路の回路記述を示している。

なお、第2図に示す観測点D、Eは、後に観測点設定部6で設定される。

一方、第3図は検証する論理回路を第2の方法で表現した回路記述の一例を示す回路記述図である。

第3図は、入力信号IN1と入力信号IN2との論理積により出力信号OUT1を求めるとともに、入力信号IN3および入力信号IN4の論理積により求めた信号Pと入力信号IN5および入

力信号 $I N 6$ の論理積により求めた信号 Q との論理和により出力信号 $O U T 2$ を求める論理回路の回路記述を示している。

以下に、第2図および第3図の論理回路へ、入力テストパターン発生部1で発生した同一の入力テストパターンとして、入力信号 $I N 1 = I N 2 = I N 3 = I N 4 = I N 5 = 1$ 、入力信号 $I N 6 = 0$ を与えた例について説明する。

次に、結果比較部3で、両方のシミュレーションの結果により、あらかじめ定めた比較点（出力端子 $O U T 1$ 、 $O U T 2$ を含む）に得られた信号値を比較している。

この例では、第2図の第1の方法で表現した回路記述のシミュレーションにより、出力信号 $O U T 1 = 1$ 、出力信号 $O U T 2 = 0$ が得られるとともに、第3図の第2の方法で表現した回路記述のシミュレーションにより、出力信号 $O U T 1 = 1$ 、出力信号 $O U T 2 = 1$ が得られるので、出力信号 $O U T 2$ に不一致が生ずることとなる。

観測点を設定している。

この例では、中間点の信号 P 、 Q を観測できるそれぞれの観測点 D 、 E を設定する。

そして、観測点表示部7で、観測点設定部6で設定した観測点 D 、 E の信号値 P 、 Q およびそのタイミングについて、両方のシミュレーションの結果のそれぞれを使用者のために表示している。

この結果、使用者は、両方の回路記述に対して、観測点 D 、 E の信号値 P 、 Q が一致しており、出力信号 $O U T 2$ に不一致であることにより、不一致の原因が第2図の論理積回路 F と第3図の論理和回路 $O U T 2 = P U Q$ の相違にあることを容易に知ることができる。

以上述べたように、本実施例の論理回路検証方式は、不一致が現れた比較点から、その信号値に影響を与える回路記述に遡って、一致していた比較点に至るまでのトレースを行うとともに、トレースを行った不一致の回路部分に観測点を設けて表示することにより、不一致の原因がどの回路

そして、次のステップ4で、この比較の結果か一致しているかどうかを判断し、一致している（YES）ならば、シミュレーション部2に戻って、さらにシミュレーションを進め、一致していない（NO）ならば、次の不一致回路トレース部5に移行している。

この例では、出力信号 $O U T 2$ に不一致が生じているので、不一致回路トレース部5に移行する。

このため、不一致回路トレース部5で、結果比較部3の比較で不一致が現れた比較点から、その信号値に影響を与える回路記述に遡って、一致していた比較点に至るまでのトレースを行っている。

この例では、不一致が現れた比較点である出力信号 $O U T 2$ から回路記述を遡ってトレースを行う。

次に、観測点設定部6で、不一致回路トレース部5でトレースを行った不一致の回路部分に対する両方の回路記述に対して、信号を観測できる部

部分にあるのかを使用者が容易に知ることができる。

〔発明の効果〕

以上説明したように、本発明の論理回路検証方式は、不一致が現れた比較点から、その信号値に影響を与える回路記述に遡って、一致していた比較点に至るまでのトレースを行うとともに、トレースを行った不一致の回路部分に観測点を設けて表示することにより、不一致の原因がどの回路部分にあるのかを使用者が容易に知ることができるという効果を有している。

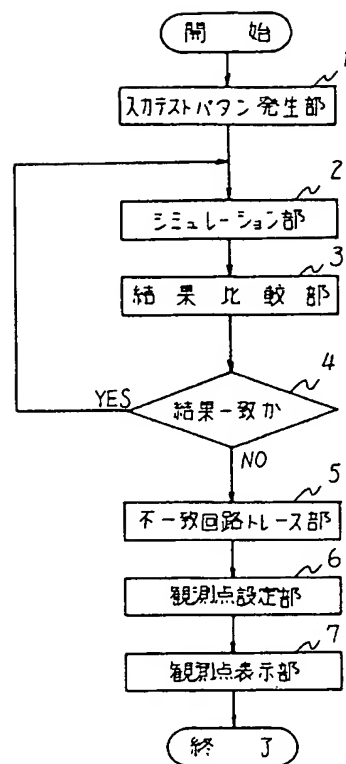
図面の簡単な説明

第1図は本発明の論理回路検証方式の一実施例を示す流れ図、第2図は検証する論理回路を第1の方法で表現した回路記述の一例を示す回路記述図、第3図は検証する論理回路を第2の方法で表現した回路記述の一例を示す回路記述図である。

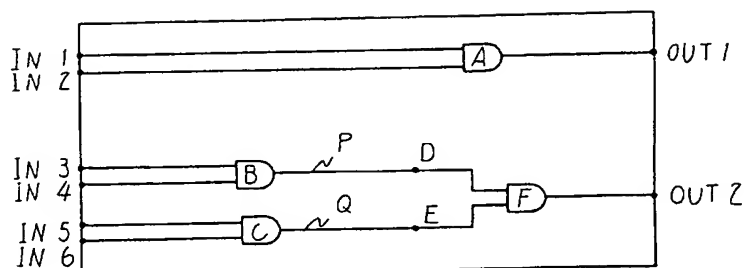
1 …… 入力テストパターン発生部、2 …… シ

ミュレーション部、3……結果比較部、4……結果一致か、5……不一致回路トレース部、6……観測点設定部、7……観測点表示部、A、B、C、F……論理積回路、D、E……観測点、IN 1、IN 2、IN 3、IN 4、IN 5、IN 6……入力信号、OUT 1、OUT 2……出力信号、P、Q……信号。

代理人 弁理士 内原 晋



第 1 図



第 2 図

$$\begin{aligned}
 \text{OUT 1} &= \text{IN 1} \cap \text{IN 2} \\
 P &= \text{IN 3} \cap \text{IN 4} \\
 Q &= \text{IN 5} \cap \text{IN 6} \\
 \text{OUT 2} &= P \cup Q
 \end{aligned}$$

第 3 図